



(19)

(11) Publication number:

58168122 A

Generated Document.

## PATENT ABSTRACTS OF JAPAN

(21) Application number: 57052024

(51) Int'l. Cl.: G06F 1/00 G06F 1/04 G06F 15/02

(22) Application date: 30.03.82

(30) Priority:

(43) Date of application publication: 04.10.83

(84) Designated contracting states:

(71) Applicant: TOSHIBA CORP

(72) Inventor: MUNETSUGI EIICHI

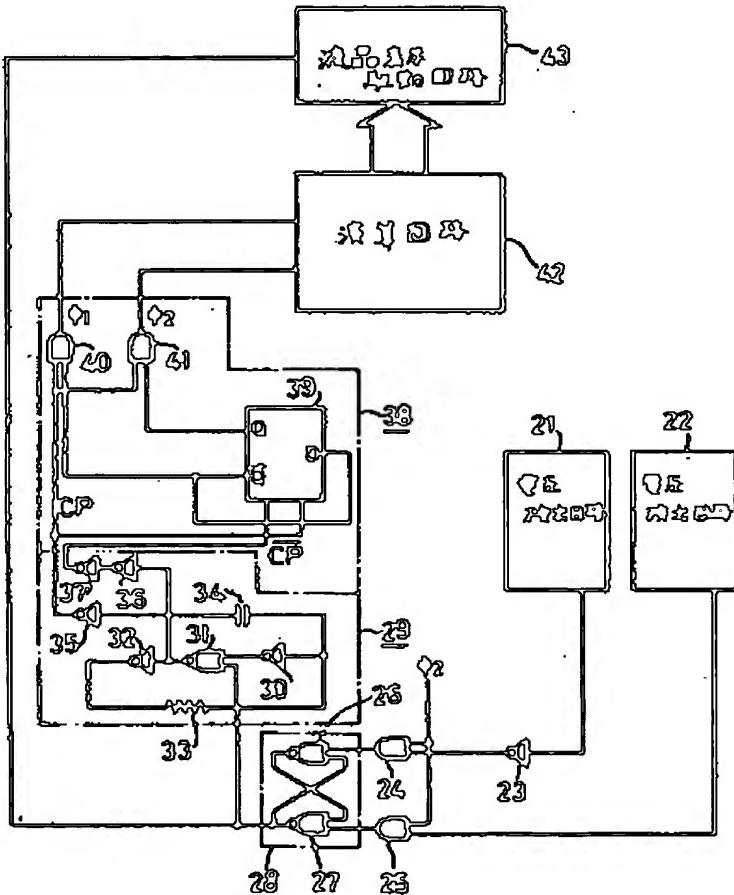
(74) Representative:

## (54) OPERATION PROCESSING DEVICE

## (57) Abstract:

**PURPOSE:** To prevent malfunction due to the lowering of an output voltage, by detecting a voltage of a solar battery used as a power supply of an operation processor at two specified different voltage detection circuits and controlling a clock pulse driving the operation processor.

**CONSTITUTION:** When the illuminance of the solar battery is 150 Lux and an operation circuit 42 starts the operation, the power supply voltage is reduced from -2.22V to -1.93V according to the voltage versus current characteristics of the solar battery. In this process, the voltage is coincident with a detected voltage V1(-2.1V) at a voltage detection circuit 21, an output of the circuit 21 is inverted from 1 level to 0 level, and a clock pulse generating circuit 38 outputs clock pulses  $\phi_1$ ,  $\phi_2$ . As a result, the operation of the circuit 42 is stopped, the internal data are stored and the operation of a liquid crystal display driving circuit 43 is stopped. When the drive circuit 43 is stopped, the current consumption of an LST is decreased, the power supply voltage is increased and the stop of operation of the circuit 42 is released.



COPYRIGHT: (C)1983,JPO&amp;Japio

⑨ 日本国特許庁 (JP)  
⑩ 公開特許公報 (A)

⑪ 特許出願公開  
昭58-168122

⑫ Int. Cl.<sup>3</sup>  
G 06 F 1/00  
1/04  
15/02

識別記号 102  
厅内整理番号  
6913-5B  
7056-5B  
7343-5B

⑬ 公開 昭和58年(1983)10月4日  
発明の数 1  
審査請求 有

(全 8 頁)

④ 演算処理装置

⑤ 特 願 昭57-52024  
⑥ 出 願 昭57(1982)3月30日  
⑦ 発明者 宗次栄一  
川崎市幸区小向東芝町1番地東

京芝浦電気株式会社トランジスタ工場内

⑧ 出願人 東京芝浦電気株式会社  
川崎市幸区堀川町72番地  
⑨ 代理人 弁理士 鈴江武彦 外2名

明細書

1. 発明の名称

演算処理装置

2. 特許請求の範囲

(1) 太陽電池を電源電圧供給手段として用いた演算処理装置において、演算処理部と、この演算処理部を駆動するためのクロック信号を発生するクロック発生部と、電源電圧と所定の異なる2つの検出電圧それぞれとの一致を検出する電圧検出部と、上記電圧検出部において電源電圧と値の小さな一方の検出電圧との一致が検出された際に上記クロック発生部の動作を停止させる手段と、上記クロック発生部の動作の停止後、上記電圧検出部において電源電圧と値の大きな他方の検出電圧との一致が検出された際に上記クロック発生部の動作を再開させる手段とを具備したことを特とする演算処理装置。

(2) 前記電圧検出部における値の小さな検出電圧として、前記演算処理部が誤動作を起さ

ない最小の値の近傍に設定した特許請求の範囲第1項に記載の演算処理装置。

3. 発明の詳細な説明

[発明の技術分野]

この発明は電子式小型計算機や電子式時計等、消費電力が極めて小さな演算処理装置に関する。

[発明の技術的背景とその問題点]

最近のLSI(大規模集積回路)の発達に伴い、電子式小型計算機や電子式時計等の電子装置は、その演算回路をただ1個のLSIのみで実現しているものが一般的になつてきている。またこの種LSIにおける消費電流も、CMOS構造を採用することにより、3V又は1.5V程度の電圧で10μA以下というように非常に低いものも実現できるようになつてきた。このようなLSI技術の進歩に伴い、使用される電源供給手段の方も著しく変化してきている。すなわち、電子式小型計算機や電子式時計等の小型電子装置は電源として各種の電池を使用しているが、LSIの低消費電力化に伴い、使用電池

も小型軽量でより電流容量の小さなものが可能になつてきた。以上のような背景から、最近では上記小型電子装置に太陽電池が使用されるようになつてきている。

第1図は電池として太陽電池を使用した電子式小型計算機の構成を示すブロック図である。図において1は複数個のセルを直列接続して構成される太陽電池であり、この太陽電池1の負極側は抵抗2を介してLSI3の電源電圧VDD(負極性電圧)の供給端子4に接続され、正極側はLSI3の基準電圧VSS(正極性電圧)の供給端子5に直接接続されている。また上記端子4, 5間にコンデンサ6と、直列接続された2個の発光ダイオード7, 8が並列接続されている。上記2個の発光ダイオード7, 8は太陽電池1に照射されている光の照度が極めて高い時、この発光ダイオード7, 8に電流を流すことによってLSI3に過大な電圧が印加されるのを防止するために設けられているものであり、また抵抗2とコンデンサ6とは照度の急激

ところで電子式小型計算機等の電子装置は、外部からのコントロール信号を受け付ける状態、すなわち前記キーボードタからのキー信号の入力を待つているキー待ちの状態と、キー信号が入力されて何らかの演算処理を行なつていている状態、すなわち演算処理状態との2つの状態を持っている。もちろんこれら2つの状態の区別のないものもあるが、以下の説明を簡単にするために上記2つの状態があるものとして考える。上記2つの状態で、演算処理状態の時はキー待ちの状態の時よりもLSI3における消費電流が大きいのが普通である。この理由は演算処理状態の時の方がキー待ちの状態の時よりもLSI3の中で有効に動作している回路が多いためである。

前記第2図中の直線L1はLSI3がキー待ちの状態でのLSI3の電圧ー電流特性を表わすものであり、同じく直線L2はLSI3が演算処理状態での電圧ー電流特性を表わすものである。第2図においていま、照度が150LUX

な変化に対して、LSI3に印加される電圧の変動を防止するために設けられている。

上記LSI3は演算を行ないこの演算結果を表示するために用いられる表示信号を発生するまでの一連の処理を行なうすべての回路、たとえば演算回路、発振回路および表示駆動回路等を含み、このLSI3にはキーボードタと液晶表示装置が接続される。

第2図は照度(LUX)をパラメータとした一般的な太陽電池の電圧ー電流特性図である。図示するように、太陽電池の特性は、照度が高くなると電力容量は高くなり、これとは反対に照度が低くなると電力容量も低くなるという特性を持つている。このような特性のために、太陽電池を使用した電子装置のLSIには酸化銀電池等の一般的の電池を使用した場合のような一定電圧を供給することができない。すなわち、周囲の照度が変化したり、光源に対する太陽電池の向きなどの変化によってその出力電圧値が大きく変動する。

の時、キー待ちの状態(直線L1)ではLSI3に印加される電圧は約-2.22Vであるが、キー信号が入力して演算処理状態(直線L2)になると約-1.93Vまで落ちてしまう。一方、LSI3には最小動作電圧VDDMINがあり、動作電圧がこの電圧VDDMINよりも低くなるとLSI3は誤動作をすることになる。そして上記電圧VDDMINはたとえば標準動作電圧が-3.0Vの電子式小型計算機用のLSIでは-2.0V程度である。したがつて、いま上記のような最小動作電圧を持つLSI3を第2図に示すような特性の太陽電池で動作させる場合、照度が150LUX程度以下では電源電圧が-2.0Vよりも落ちて誤動作してしまう。すなわち、太陽電池を用いた従来の演算処理装置では照度がある程度以下に低下すると誤動作するという欠点がある。

#### [発明の目的]

したがつてこの発明の目的は、太陽電池を電源電圧供給手段として用いた演算処理装置にお

いて、ある程度まで照度が低下して太陽電池からの出力電圧が低下しても、誤動作を起こすことのない演算処理装置を提供することにある。

#### (発明の概要)

この発明に係る演算処理装置は、演算処理回路と、この演算処理回路を駆動するためのクロツク信号を発生するクロツク発生回路と、電源電圧と所定の検出電圧との一致を検出する2つの電圧検出回路とを設け、上記一方の電圧検出回路において上記演算処理回路の最小動作電圧に近い小さな値の検出電圧との一致が検出された際に上記クロツク発生回路の動作を停止することによって上記演算処理回路を動作停止状態にして消費電流を減少させ、この期間に電源電圧を増加させ、上記クロツク発生回路の動作停止後電源電圧が増加して、上記他方の電圧検出回路において電源電圧と値の大きな他方の検出電圧との一致が検出された際に上記クロツク発生回路の動作を再開させて再び上記演算処理回路を動作させるようしたものである。

路 $\underline{2} \cdot \underline{3}$ からの出力は直接もう1つのANDゲート $\underline{2} \cdot \underline{6}$ の一方入力端に供給される。上記2つのANDゲート $\underline{2} \cdot \underline{6}$ ,  $\underline{2} \cdot \underline{8}$ それぞれの他方入力端には後述するクロツクパルス $\underline{9}$ が並列的に供給される。また上記ANDゲート $\underline{2} \cdot \underline{6}$ ,  $\underline{2} \cdot \underline{8}$ の出力は、2つのNORゲート $\underline{2} \cdot \underline{6}$ ,  $\underline{2} \cdot \underline{7}$ の一方の出力を他方の一つの入力とする如く入出力端間がたすきかけ接続されて構成されるフリップフロップ $\underline{2} \cdot \underline{8}$ に供給される。

上記フリップフロップ回路 $\underline{2} \cdot \underline{8}$ からの出力は発振回路 $\underline{2} \cdot \underline{9}$ に供給される。この発振回路 $\underline{2} \cdot \underline{9}$ はインバータ $\underline{2} \cdot \underline{0}$ , NORゲート $\underline{2} \cdot \underline{2}$ , インバータ $\underline{2} \cdot \underline{3}$ および抵抗 $\underline{2} \cdot \underline{4}$ からなる閉ループと、上記インバータ $\underline{2} \cdot \underline{0}$ の入力端と上記NORゲート $\underline{2} \cdot \underline{1}$ の出力端との間に挿入されるコンテンサ $\underline{2} \cdot \underline{5}$ と、上記NORゲート $\underline{2} \cdot \underline{1}$ の出力を反転して一方の発振出力CPを得るインバータ $\underline{2} \cdot \underline{5}$ と、上記NORゲート $\underline{2} \cdot \underline{1}$ の出力を連続して2回反転して上記発振出力CPと相補対をなす他方の発振出力 $\overline{C}P$ を得るインバータ $\underline{2} \cdot \underline{6}$ ,  $\underline{2} \cdot \underline{7}$ とか

#### (発明の実施例)

以下図面を参照してこの発明の一実施例を説明する。第3図はこの発明に係る演算処理装置の一実施例の回路構成図であり、前記第1図に示す $\underline{2} \cdot \underline{8} \cdot \underline{1} \cdot \underline{3}$ の内部構成が示められている。図において2つの電圧検出回路 $\underline{2} \cdot \underline{1}$ ,  $\underline{2} \cdot \underline{3}$ は前記端子 $\underline{4}$ における電源電圧VDDと予め設定された所定の検出電圧 $V_1$ ,  $V_2$ とそれぞれとの一致を検出するためのものである。上記一方の電圧検出回路 $\underline{2} \cdot \underline{1}$ はVDDの値が $V_1$ の値よりも大きい時(絶対値で大きい時)には“1”レベルの信号を出力し、またVDDと $V_1$ との一致を検出した場合には“0”レベル信号を出力する。上記他方の電圧検出回路 $\underline{2} \cdot \underline{3}$ はVDDの値が $V_2$ の値よりも小さい時(絶対値で小さい時)には“0”レベルの信号を出力し、またVDDと $V_2$ との一致を検出した場合には“1”レベル信号を出力する。上記一方の電圧検出回路 $\underline{2} \cdot \underline{1}$ からの出力はインバータ $\underline{2} \cdot \underline{3}$ を介してANDゲート $\underline{2} \cdot \underline{4}$ の一方入力端に供給され、上記他方の電圧検出回

ら構成される。すなわち、この発振回路 $\underline{2} \cdot \underline{9}$ は上記NORゲート $\underline{2} \cdot \underline{1}$ を発振制御ゲートとするCB発振回路であり、前記フリップフロップ回路 $\underline{2} \cdot \underline{8}$ からの出力はこのNORゲート $\underline{2} \cdot \underline{1}$ の一方入力端に供給される。そしてこの発振回路 $\underline{2} \cdot \underline{9}$ は前記フリップフロップ回路 $\underline{2} \cdot \underline{8}$ からの出力が“0”レベルの時には発振して一定周波数の信号CP,  $\overline{C}P$ を出力し、フリップフロップ回路 $\underline{2} \cdot \underline{8}$ からの出力が“1”レベルの時にはその発振を停止する。

上記発振回路 $\underline{2} \cdot \underline{9}$ から出力される信号CP,  $\overline{C}P$ はクロツクパルス発生回路 $\underline{2} \cdot \underline{8}$ に供給される。このクロツクパルス発生回路 $\underline{2} \cdot \underline{8}$ はデバイエイ型のシフトレジスタの入力端(D端)と一方の出力端(Q端)とを短絡して構成されるフリップフロップ $\underline{2} \cdot \underline{8}$ と2つのANDゲート $\underline{2} \cdot \underline{0}$ ,  $\underline{2} \cdot \underline{1}$ とから構成され、上記信号CP,  $\overline{C}P$ が同期信号としてフリップフロップ $\underline{2} \cdot \underline{8}$ に供給される。また一方の信号CPがANDゲート $\underline{2} \cdot \underline{0}$ およびANDゲート $\underline{2} \cdot \underline{1}$ の各一方入力端にそれぞ

れ供給され、ANDゲート40の他方入力端には上記フリップフロップ39のQ出力が、ANDゲート41の他方入力端には上記フリップフロップ39のQ出力がそれぞれ供給される。そしてこのクロックパルス発生回路38に前記信号CP, CPが供給されると、2つのANDゲート40, 41からは位相が互いになる2相のクロックパルス $\phi_1$ ,  $\phi_2$ が出力される。そしてこの2相のクロックパルス $\phi_1$ ,  $\phi_2$ は共に駆動パルスとして演算回路43に供給され、また一方のクロックパルス $\phi_1$ は前記ANDゲート40, 41に供給される。

上記演算回路43は供給される2相のクロックパルス $\phi_1$ ,  $\phi_2$ に同期して各種演算を行なうものであり、その演算結果は液晶表示駆動回路42に供給される。

液晶表示駆動回路42は、上記演算回路43における演算結果を前記液晶表示装置などで表示するために必要となる表示信号を発生するための回路である。そしてこの液晶表示駆動回路42

は、前記第1図中のコンデンサSの値を5μF、LSI3の端子4, 5間のインピーダンスを200kΩとすると1秒となり、演算回路43における演算処理速度よりも十分に緩やかな速度でVDDは-2.22Vから直線L2と150LUXにおける太陽電池1の電圧-電流特性曲線L4との交点のVDDの電圧すなわち-1.93Vまで小さくなつていく。電圧VDDが小さくなつていく途中で、VDDは電圧検出回路21における検出電圧V1(-2.1V)と一致する。この一致によつて電圧検出回路21の出力が“1”レベルから“0”レベルに反転する。これによつてインバータ39の出力が“0”レベルから“1”レベルに反転し、さらにフリップフロップ回路28の出力はクロックパルス $\phi_1$ のタイミングで“0”レベルから“1”レベルに反転する。すると発振回路39のNORゲート31の出力が常に“0”レベルとなるため、この発振回路39における発振は停止し、信号CPは“1”レベルに、信号CPは“0”レベルにそ

には前記フリップフロップ回路28からの出力が供給され、この出力信号に応じてその動作が制御されるようになつてている。

また上記構成において、演算回路43における最小動作電圧が-2.0Vであり、前記太陽電池1が第2図に示すような特性を持つている場合、前記一方の電圧検出回路21における検出電圧V1はたとえば-2.1Vに設定され、また前記他方の電圧検出回路22における検出電圧V2はたとえば-2.5Vに設定される。

次に上記のように構成された回路の作用を説明する。なお、説明に当つてはVDDレベルを“1”レベル、VSSレベルを“0”レベルに対応させた負論理で行なう。

まず、太陽電池1における黒度が150LUXの時に、このLSI3がキー待ちの状態すなわち演算回路43が演算を行なつていない状態では、LSI3の電圧-電流特性は直線L1の状態になつていて、したがつてこのときVDDは直線L1と150LUXにおける太陽電池1の電

は、前記第1図中のコンデンサSの値を5μF、LSI3の端子4, 5間のインピーダンスを200kΩとすると1秒となり、演算回路43における演算処理速度よりも十分に緩やかな速度でVDDは-2.22Vから直線L2と150LUXにおける太陽電池1の電圧-電流特性曲線L4との交点のVDDの電圧すなわち-1.93Vまで小さくなつていく。電圧VDDが小さくなつていく途中で、VDDは電圧検出回路21における検出電圧V1(-2.1V)と一致する。この一致によつて電圧検出回路21の出力が“1”レベルから“0”レベルに反転する。これによつてインバータ39の出力が“0”レベルから“1”レベルに反転し、さらにフリップフロップ回路28の出力はクロックパルス $\phi_1$ のタイミングで“0”レベルから“1”レベルに反転する。すると発振回路39のNORゲート31の出力が常に“0”レベルとなるため、この発振回路39における発振は停止し、信号CPは“1”レベルに、信号CPは“0”レベルにそ

それぞれ固定される。したがつてクロツクパルス発生回路<sub>3</sub>でもクロツクパルス<sub>11,12</sub>の出力が停止し、<sub>11</sub>は“0”レベルにまた<sub>12</sub>は“1”レベルにそれぞれ固定される。この結果、演算回路<sub>4</sub>の動作が停止し、その内部のデータは保持される。一方、フリップフロップ回路<sub>5</sub>の出力が“1”レベルになるとことによつて、液晶表示駆動回路<sub>4</sub>における動作も停止する。上記演算回路<sub>4</sub>および液晶表示駆動回路<sub>4</sub>における動作が停止するとLSI<sub>3</sub>における消費電流は極めて少なくなるために、LSI<sub>3</sub>における電圧一電流特性は直線L<sub>0</sub>に移行する。このときの移行速度の時定数は、前記と同様に第1図中のコンデンサ<sub>6</sub>の値を5μF、また抵抗<sub>7</sub>の値を1KΩとするときミリ秒となり、LSI<sub>3</sub>に印加される電圧VDDは急速に大きくなる。

そして電圧VDDが大きくなつていく途中で、VDDは電圧検出回路<sub>2</sub>における検出電圧V<sub>1</sub>(-2.5V)と一致する。この一致によつて電

の値を5μF、LSI<sub>3</sub>の端子4,5間のインピーダンスを200KΩ程度とすれば1秒と充分に確やかなものとなる。そして通常の演算処理はVDDが再びV<sub>1</sub>に一致する前に終了してしまい、LSI<sub>3</sub>はVDDがV<sub>1</sub>に達する前にキー待ち状態となり、この後、LSI<sub>3</sub>の電圧一電流特性は直線L<sub>1</sub>に移行する。万一、演算処理が終了する前にVDDが再びV<sub>1</sub>に一致した場合でも、電圧検出回路<sub>2</sub>の出力が“0”レベルに反転するために上記と同様の動作が繰り返し行なわれるので、演算処理は最後まで正常に行なわれる。

このように上記実施例によれば、照度が低下して太陽電池<sub>1</sub>からの出力電圧が低下した場合には、発振回路<sub>3</sub>における発振を停止してクロツクパルス<sub>11,12</sub>の出力を停止し、これによつて演算回路<sub>4</sub>における動作を一時停止し、演算回路<sub>4</sub>の動作が停止している期間に電源電圧の回復を待ち、電源電圧が回復したら再びクロツクパルス<sub>11,12</sub>を出力させて演

算回路<sub>4</sub>の出力が“0”レベルから“1”レベルに反転する。するとANDゲート<sub>9</sub>の出力も1レベルとなり、これによつてフリップフロップ回路<sub>5</sub>の出力は0レベルに反転するので、発振回路<sub>3</sub>は再び発振を開始し、さらにクロツクパルス発生回路<sub>3</sub>も再びクロツクパルス<sub>11,12</sub>を順次出力する。したがつて、この後、演算回路<sub>4</sub>は前記動作停止状態が解除され、再びクロツクパルス<sub>11,12</sub>に同期して演算処理を再開する。この時、VDDの値はLSI<sub>3</sub>の最小動作電圧-2Vよりも十分に大きな値となつてゐるため、演算回路<sub>4</sub>は誤動作することなく演算処理を行なう。またフリップフロップ回路<sub>5</sub>の出力が反転して0レベルになると、液晶表示駆動回路<sub>4</sub>も動作を再開する。電圧VDDがV<sub>1</sub>に達した後は演算回路<sub>4</sub>および液晶表示駆動回路<sub>4</sub>が共に動作を再開するため、LSI<sub>3</sub>の電圧一電流特性は直線L<sub>0</sub>から直線L<sub>2</sub>に移行するが、この時の移行速度の時定数は前記したようにコンデンサ<sub>6</sub>

算回路<sub>4</sub>における動作を再開するようにしたので、従来、太陽電池<sub>1</sub>への照度が150LUXで誤動作を起こしていたのに対し、上記実施例のものでは誤動作を起こすことがない。すなわち、上記実施例回路のLSI<sub>3</sub>を備えた演算処理装置では、電源供給手段として太陽電池を用いた場合、従来よりも低い照度の環境でも誤動作を起こすことはない。

第4図は前記2つの電圧検出回路<sub>2</sub>の具体的な回路構成図である。2つの電圧検出回路<sub>2</sub>は図示するように同一の回路形式になつてゐるが、後述するように回路定数の違いによつて各検出電圧を前記のようにV<sub>1</sub>およびV<sub>2</sub>に設定している。したがつて、一方の電圧検出回路<sub>2</sub>についてのみ以下に説明する。この回路はNチャネルのMOSトランジスタ<sub>51～54</sub>とPチャネルのMOSトランジスタ<sub>55,56</sub>および抵抗<sub>57～59</sub>によつて構成されている。ゲートとドレインが短絡されたMOSトランジスタ<sub>53</sub>は定電圧回路として作

用し、そのゲートとドレインの接続点A点の電圧は端子4における電圧VDDからトランジスタ51のスレッショルド電圧VTHだけ浮いた値になる。したがつて、A点と端子5との間に直列接続されている2つの抵抗57, 58の抵抗値をR<sub>1</sub>, R<sub>2</sub>とすれば、両抵抗57, 58の直列接続点B点の電圧V<sub>B</sub>はV<sub>B</sub> = (VDD - VTH)  $\frac{R_2}{R_1 + R_2}$ となる。そしてこの電圧V<sub>B</sub>をゲート入力とするMOSトランジスタ52は、この電圧V<sub>B</sub>によってオンあるいはオフとなる。そしてこのMOSトランジスタ52がオンする時のオン抵抗RONと、このMOSトランジスタ52と直列接続される抵抗59の抵抗値R<sub>3</sub>とによってVDDが分割されるために、MOSトランジスタ52と抵抗59の直列接続点C点の電圧V<sub>C</sub>はV<sub>C</sub> = VDD  $\frac{R_3}{RON + R_3}$ となる。

またMOSトランジスタ52のゲート、ソース間の電圧|V<sub>DS</sub>|は|V<sub>DS</sub>| = |VDD| - |V<sub>B</sub>|であり、VDDが0Vに近くに従つて|V<sub>DS</sub>|は小さくなりそのオン抵抗RONは急激

定するには、抵抗59の抵抗値R<sub>3</sub>やその他の回路定数たとえばMOSトランジスタ52のスレッショルド電圧等を過定することによつて行なわれる。

なお、この発明は上記した実施例に限定されるものではなく、たとえば上記実施例ではこの発明を電子式小型計算機に実施した場合について説明したが、その他の太陽電池を電源供給手段とする各種演算処理装置に実施が可能である。さらに電圧検出回路としては第4図に示すような構成のものについて説明したが、これはどのような回路形式のものを用いてもよい。

#### [発明の効果]

以上説明したようにこの発明によれば、太陽電池を電源電圧供給手段として用いた演算処理装置において、ある程度まで温度が低下して太陽電池からの出力電圧が低下しても、誤動作を起こすことのない演算処理装置を提供することができる。

に大きくなる。そしてこのオン抵抗RONの変化量はR<sub>3</sub>の値によつて制御することができる。このことから、VDDが0V側に近づくと、C点の電圧V<sub>C</sub>は急激に0Vに近づく。上記電圧V<sub>C</sub>はMOSトランジスタ52, 56およびMOSトランジスタ54, 56それからなる波形整形用のC-MOSインバータ60, 61によつて順次整形増幅される。そしていまVDDが小さくなり、V<sub>C</sub>がインバータ60の回路スレッショルド電圧を横切ると、インバータ60の出力はVDDレベルとなりさらにインバータ61の出力はVSSレベル(“0”レベル)となる。一方、これとは反対にVDDが大きくなり、V<sub>C</sub>がインバータ60の回路スレッショルド電圧を横切ると、インバータ60の出力はVSSレベルとなりさらにインバータ61の出力はVDDレベル(“1”レベル)となる。

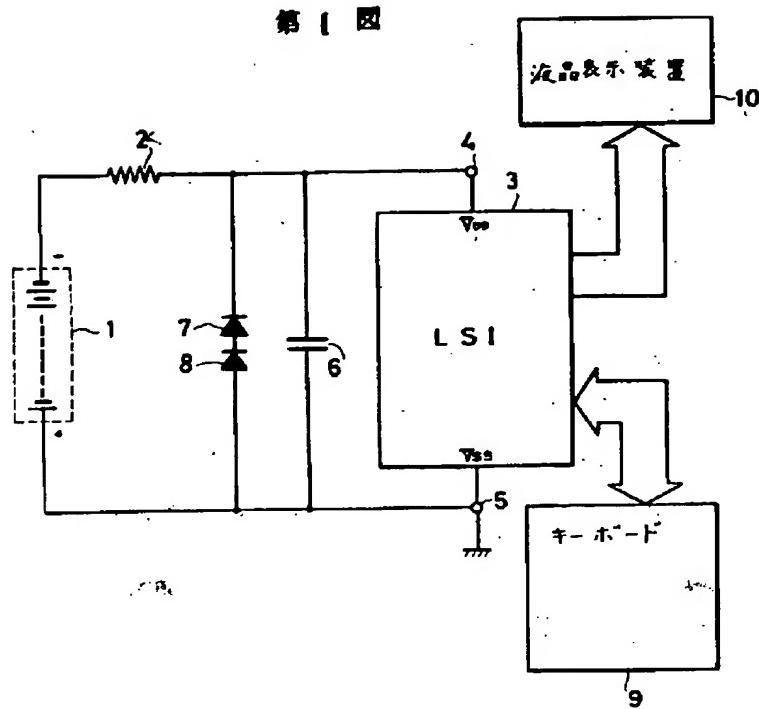
このように電圧検出回路21は特定の検出電圧と電源電圧VDDとの一致を検出することができることがわかる。そして検出電圧をV<sub>I</sub>に設

#### 4. 図面の簡単な説明

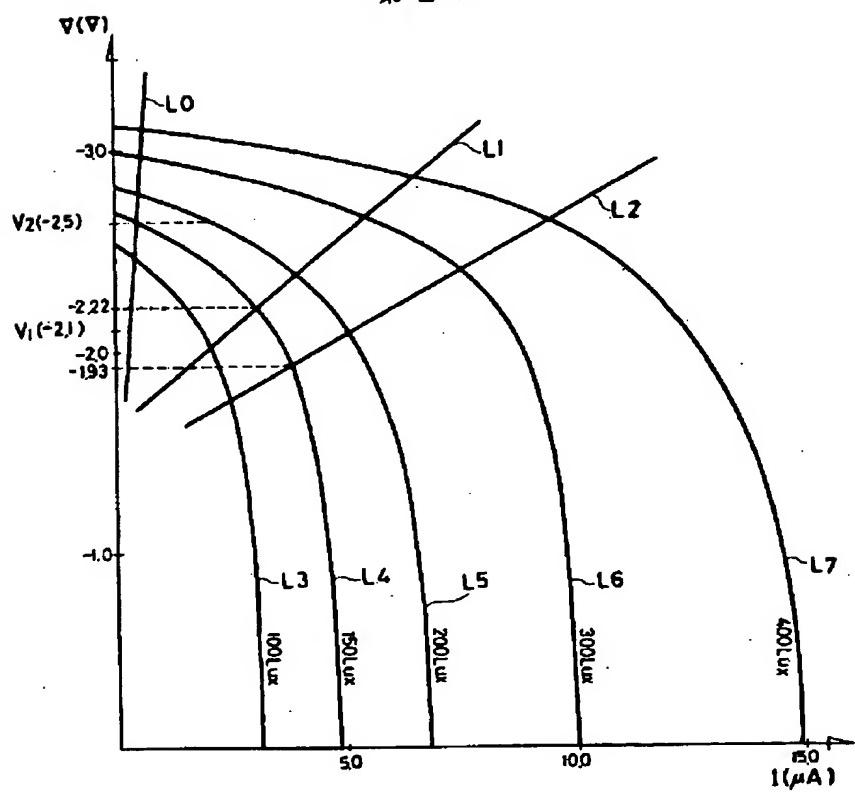
第1図は太陽電池を使用した電子式小型計算機の構成を示すプロック図、第2図は太陽電池の電圧-電流特性図、第3図はこの発明の一実施例の回路構成図、第4図は上記実施例回路の一部の具体的な回路構成図である。

1…太陽電池、2…抵抗、3…J81、4…5…端子、6…コンデンサ、7…8…発光ダイオード、9…キーボード、10…液晶表示装置、21, 22…電圧検出回路、23…フリップフロップ回路、29…発振回路、38…クロックパルス発生回路、42…演算回路、43…液晶表示駆動回路。

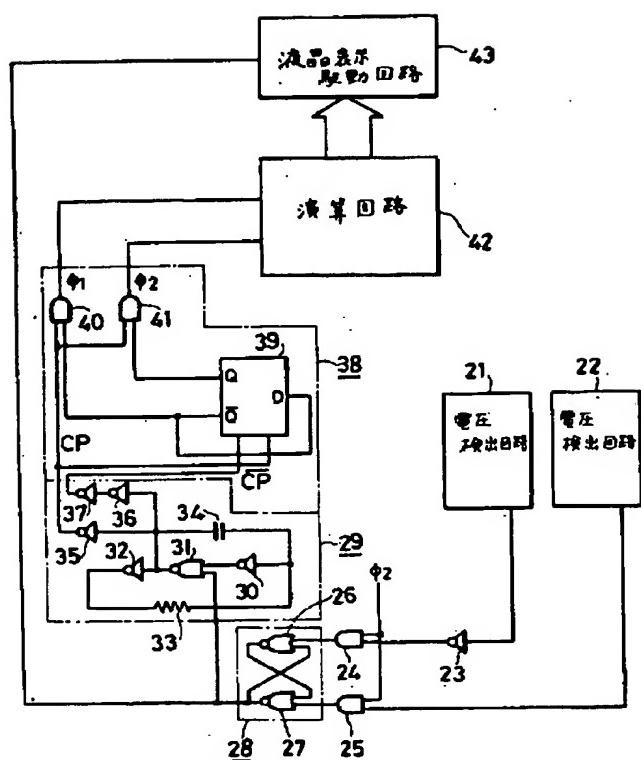
第一図



第二図



第3図



第4図

